

一种基于 DSP 与 FPGA 实现场发射平板 显示器视频信号处理系统的方案*

陈振华^{1,2}, 邓少芝¹, 许宁生¹

- (1. 中山大学光电材料与技术国家重点实验室//显示材料与技术广东省重点实验室//
物理科学与工程技术学院, 广东 广州, 510275;
2. 中山火炬职业技术学院电子工程系, 广东 中山, 528436)

摘要: 数字视频信号处理涉及对高速实时视频信号的传输和处理, 要求相关电路系统具有强大的数据处理能力。介绍一种以 DSP 和 FPGA 器件为核心构建的场发射平板显示器视频信号处理系统方案, 并以 TI 公司的 DSP 芯片 TMS320C6713 和 Xilinx 公司的 FPGA 芯片 XC3S200 - PQ208 来实现系统方案, 在自主研制的 4.5 inch (11.43 cm) 160 × 120 分辨率单色场发射平板显示样屏上得到了功能验证。所设计的视频信号处理电路方案把两种处理器的性能优势结合起来, 具有微处理器嵌入式系统的优点, 同时可实现并行算法结构, 满足视频信号传输和处理的高速实时性要求。

关键词: 场发射平板显示器 (FED); 视频信号处理; DSP (数字信号处理器); FPGA (现场可编程门阵列)

中图分类号: TN27 **文献标志码:** A **文章编号:** 0529 - 6579 (2010) 02 - 0008 - 05

A Scheme of Video Signal Processing System for Field Emission Display Based on DSP and FPGA Devices

CHEN Zhenhua^{1,2}, DENG Shanzhi¹, XU Ningsheng¹

- (1. State Key Laboratory of Optoelectronic Materials and Technologies// Guangdong Province
Key Laboratory of Display Materials and Technologies// School of Physics and Engineering,
Sun Yat-sen University, Guangzhou 510275, China;
Department of Electronic Engineering, Zhongshan Torch Polytechnic, Zhongshan 528436, China)

Abstract: As digital video signal processing for display device requires high-speed transmission and real-time processing, the circuit system must give a powerful data-processing capacity. A scheme of video signal processing system for FED (Field Emission Display) which constructed by DSP of TMS320C6713 and FPGA of XC3S200 - PQ208 is introduced. The circuit system combines the advantages of both DSP and FPGA, with a microprocessor embedded system function and parallel algorithm structure, and provides a good solution to the high-speed and real-time signal processing.

Key words: field emission display; video signal processing; DSP; FPGA.

场发射平板显示器 (Field Emission Display, 简称 FED) 是在研的新型平板显示技术^[1-2]。结合 FED 器件的自身特性, 利用数字图像处理技术和电路技术获得适合于 FED 器件的显示数据和显

示驱动方式, 将促进器件技术的发展和提高器件图像显示质量, 因此数字视频信号处理及其相关电路研究在 FED 显示技术研发活动中是一个受到关注的内容^[3-4]。

* 收稿日期: 2009 - 03 - 01

基金项目: 国家科技部“973”计划资助项目 (2003CB314701); 国家“863”计划资助项目 (2008AA03A314); 国家自然科学基金 - 广东省联合科学基金资助项目 (U0634002)

作者简介: 陈振华 (1971 年生), 女, 博士研究生; 通讯作者: 邓少芝; E-mail: stdsz@mail.sysu.edu.cn

数字视频信号处理涉及对高速实时视频信号的传输及处理，这就要求相关的电路系统具有强的数据处理能力。数字信号处理器（Digital Signal Processors，简称 DSP）采用改进的哈佛总线结构^[5]，有着适用于数字信号处理的指令系统，能够满足高速视频信号处理的需要。FPGA（Field Programmable Gate Array，简称 FPGA）内部含有丰富的可编程硬件资源，容易实现分布式算法结构，能够同时兼顾速度和灵活性，提高电路集成度。本文探讨以 DSP 和 FPGA 器件结合，构建 FED 器件视频信号处理硬件平台，解决场发射平板显示器视频信号处理电路系统的高速实时性需求。

1 场发射平板显示器视频信号处理电路系统方案

如图 1 所示是针对 FED 器件提出的一种视频信号处理电路系统，它主要包括视频解码电路、先进先出（first in first out，简称 FIFO）存储器、DSP 图像处理电路、FPGA 灰度调制电路和电源管理模块。视频解码电路对模拟视频信号进行数字化处理，把输入视频信号转换为符合 ITU-R601 标准的数字视频信号，通过 FIFO 存储器传输到 DSP 中。DSP 图像处理电路对视频信号进行综合处理，以获得符合 FED 器件特性的图像显示数据。灰度调制电路对由 DSP 输出的图像信号进行灰度调制，形成适合于场发射平板显示器的图像显示信号，并提供给 FED 驱动电路控制器件工作。

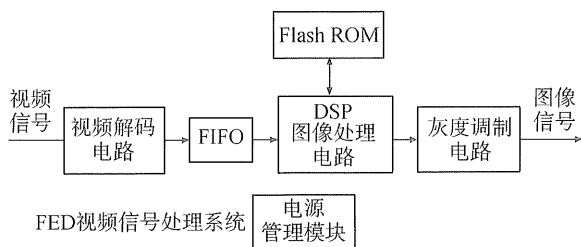


图 1 视频信号处理电路系统结构框图

Fig. 1 Block diagram of video signal processing system

在实现上述电路方案中，DSP 芯片选用 TI 公司 C6000 系列的 TMS320C6713。该款 DSP 芯片主频为 300 MHz，处理能力为 2400 MIPS^[6]；存储器地址范围 4G 字节，片内存储器采用 L₁ 和 L₂ 两级高速缓存结构^[7]；提供 16 个增强直接存储器访问（Enhanced Direct Memory Address，简称 EDMA）通道，各通道之间彼此独立，有利于提高图像信号处

理代码和数据的吞吐率^[8]。FED 器件显示通常采用逐行扫描的显示方式，灰度调制涉及数量大的并行数据处理，因此灰度调制电路采用硬件可编程的 FPGA 芯片实现。FPGA 芯片选用 Xilinx 公司 Spartan3 系列的 XC3S200 - PQ208^[9]。该款芯片有 12 个内部 Block RAM，总存储容量为 216 kBits^[10]；141 个用户可用的 I/O 端口，可配置为 3.3 V CMOS/TTL 电平接口；内部有锁相环（PLL）和数字时钟管理器（DCM），可对输入时钟进行倍频和分频，把输入时钟信号合成为频率适用的时钟信号^[11]。

2 DSP 图像信号处理电路的设计与实现

视频解码电路输出的数字视频信号通过 FIFO 存储器传输到 DSP 中，DSP 对视频信号进行综合处理，内容包括：对视频信号的去隔行处理；根据 FED 显示屏的光电特性，进行视频灰度非线性校正；针对 FED 显示器件显示亮度不均匀的问题，进行亮度均匀性校正。上述功能实现的电路结构如图 2 所示，具体实现方法上，采用视频查找表（video look up table，简称 VLUT）实现视频灰度非线性校正。视频查找表存储在 Flash ROM 中，图像信号处理时，以视频信号的灰度值为地址，查表取得相应的灰度值作为校正后的灰度数据。亮度均匀性校正采用动态校正方式，利用数字图像处理技术获得校正参数矩阵，存储在 Flash ROM 中，信号处理单元对某像素点的灰度信号校正时，以该像素点所在显示屏上的位置计算地址，查表取得该像素点的校正参数，计算校正偏移值，添加到输入信号中，最后以校正后的灰度值代替原图像信号的灰度值驱动 FED 显示屏。

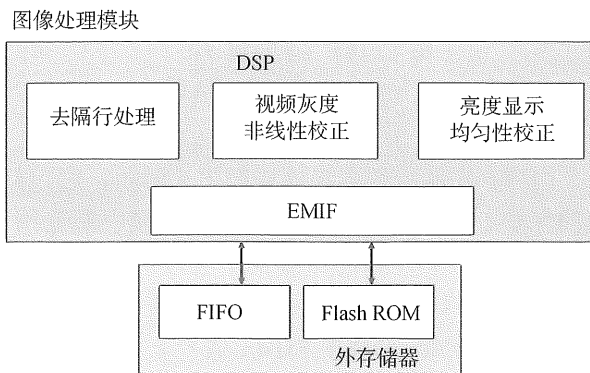


图 2 DSP 图像信号处理电路结构框图

Fig. 2 Functional block diagram of signal processing

上述电路的软件设计以 TI 公司提供的 CCS (Code Composer Studio) 为集成开发环境, 结合 XDS510 的 JTAG (Joint Test Action Group, 简称 JTAG) 仿真器和配套的仿真调试软件, 对 DSP 进行编程。DSP 软件设计实现两个任务: 视频信号的传输和处理。具体的设计思想是: 在 DSP 的片内存储器 L_2 中开辟数据缓冲区 buffer, 利用 EDMA 通道在后台把视频数据信号传输到 buffer 中, 并在 EDMA 中断服务程序中处理视频数据信号, 使 DSP 的中央处理单元专注于信号处理与系统功能控制。图 3 为 DSP 主程序流程图, DSP 上电后, 首先对 DSP 和 EDMA 传输进行初始化。DSP 的初始化包括清中断标志, 以及对中断使能寄存器 IER、CE 空间寄存器、控制状态寄存器 CSR 进行配置。EDMA 传输的初始化包括对 EDMA 事件使能寄存器 EER、控制寄存器 CIER、EDMA 通道参数寄存器进行配置^[12]。

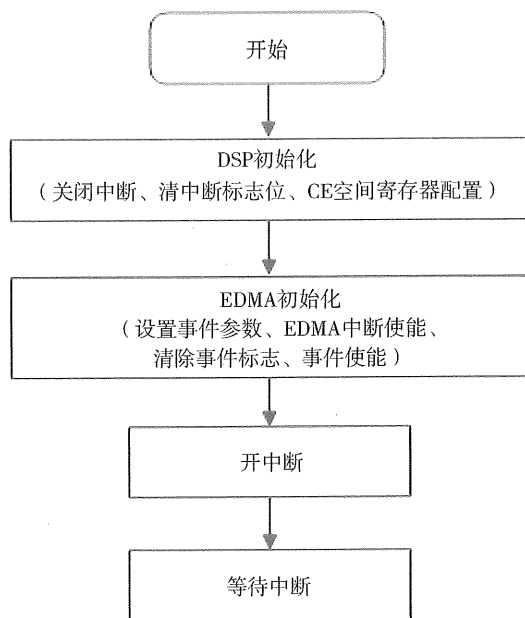


图 3 DSP 主程序流程图

Fig. 3 Flow chart of DSP main program

EDMA 中断服务程序流程如图 4 所示, 它包括现场保护、完成中断任务、恢复现场和中断返回, 任务是对 buffer 中的视频数据信号进行综合处理。具体地, 把 FIFO 的满标志信号连接到 DSP 的外中断 INT_4 , 而 INT_4 对应于 EDMA 通道 4。当 FIFO 的满标志发生事件, EDMA 通道 4 触发传输数据到 DSP 的缓冲区 buffer 中; 一次数据传输任务完成后, 利用 EDMA 中断通知 CPU 处理 buffer 中的数

据。这样, CPU 在等待 EDMA 完成数据传输的时候, 继续进行事务处理。

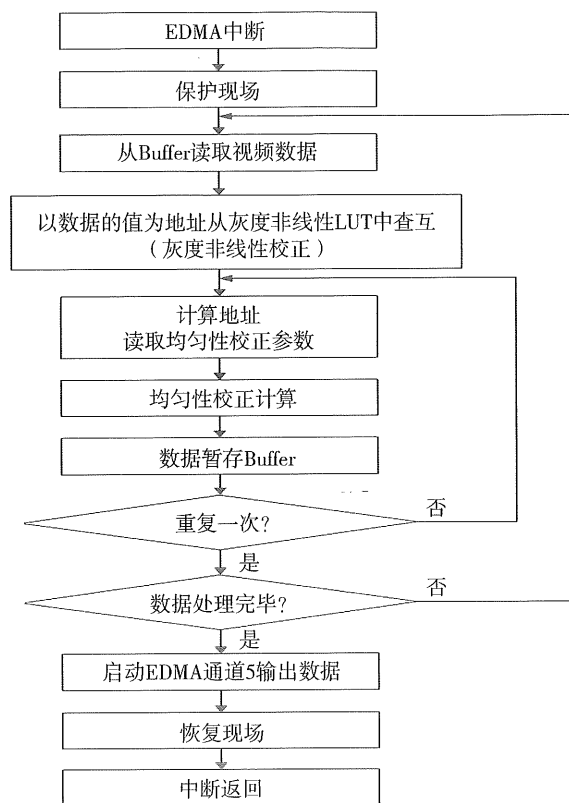


图 4 EDMA 中断服务程序流程图

Fig. 4 Operation flow chart of EDMA interruption program

本文电路方案中, 去隔行处理采用行重复法。为简化处理步骤并提高处理效率, 具体实现步骤如下: 首先对像素点的视频信号进行视频灰度非线性校正, 以视频信号的灰度值为地址, 在灰度校正查找表中得到新的灰度值; 然后以像素点所在显示屏的位置, 例如第 i 行第 j 列, 计算亮度均匀性校正参数的地址, 从参数表中读出校正参数, 运算得到校正后的灰度值; 每个像素点以第 $i+1$ 行第 j 列为地址, 重复一次亮度均匀性校正步骤, 作为去隔行后第 $i+1$ 行的视频显示数据; 校正后的视频信号在缓冲区中暂存, 缓冲区以 640 个字节为一行, 如果当前行为奇数, 则存放在奇数行中, 否则存放在偶数行中。缓冲区 buffer 的视频数据信号处理完毕后, 把 EDMA 通道 5 的事件设置寄存器 ESR 的相应位写入 1, 启动 EDMA 通道 5, 把经过处理的视频数据信号传输到灰度调制电路中。

3 FPGA 灰度调制电路的设计与实现

FPGA 灰度调制电路对 DSP 输出的视频数据信

号以 PWM (Pulse Width Modulation, 简称 PWM) 方式进行灰度调制, 然后输出显示数据信号至 FED 器件驱动电路。

FPGA 灰度调制电路方案中, 采用双口 RAM 实现 FPGA 与 DSP 之间的数据传输。DSP 从双口 RAM 的一端写入视频信号, FPGA 灰度调制电路从双口 RAM 的另一端读出。双口 RAM 还可以作为帧存储器, 使显示屏在一帧周期内处于显示状态, 以增加显示占空比, 提高显示亮度和图像显示质量。为充分利用 FPGA 的内部资源, 帧存储器使用 FPGA 内部的 Block RAM 生成^[13], 利用 Xilinx 公司的 IP 核生成 19 200 × 6 Bits 的双口 RAM 元件, 元件例化作为帧存储器。

FPGA 灰度调制电路的实现, 是利用 Xilinx 公司提供的开发平台 ISE、通过 VHDL 语言编程实现, 其工作时序如图 5 和图 6 所示。图 5 为一场视频信号的传输和显示时序, RW_count 为视频信号传输的行计数值, Scan_count 为扫描显示的行计数值, Scan_end 为扫描结束标志信号。场同步信号 VSYNC 到达后, 一帧的视频信号从双口 RAM 的 A 端口写入; 视频信号从双口 RAM 的 B 端口读出, 预存在行存储器中。每场共 120 个行扫描周期, 在第 1 个行扫描周期中, RW_count = 1, Scan_count = 120, 显示屏第 1 行的视频信号从双口 RAM 读出, 写入行存储器; 此时行扫描地址信号选通第 120 行, 显示上一场第 120 行的视频信号。在第 2 个行扫描周期中, RW_count = 2, Scan_count = 1, 第 2 行的视频信号从双口 RAM 中读出, 预存在行存储器中; 行扫描地址信号选通第 1 行, 从行存储器中读取上一个行扫描周期存储的视频信号, 对显示屏的第 1 行进行显示。如此重复, 经过第 120 个行扫描周期后, Scan_end 变为高电平, 标志着一场的扫描显示结束。

图 6 为一行视频信号的传输与显示时序, SCK 为数据移位时钟信号, RCK 为锁存输出时钟信号。行扫描周期开始后, 行扫描地址信号选通显示屏的第 i 行, 数据信号 D [20:1] 在移位时钟 SCK 的上升沿分别串行移入列驱动控制器的移位寄存器中, 经过 8 个移位时钟周期后, 在输出锁存时钟 RCK 的上升沿同时输出, 控制 160 列驱动电路的选通状态。如此重复, 每一个行扫描周期共有 63 个 RCK 时钟, 每个 RCK 时钟周期共有 8 个移位时钟 SCK。每个显示行经过 63 个 RCK 时钟周期的不同点亮组合, 以 PWM 方式实现 64 级的灰度显示。

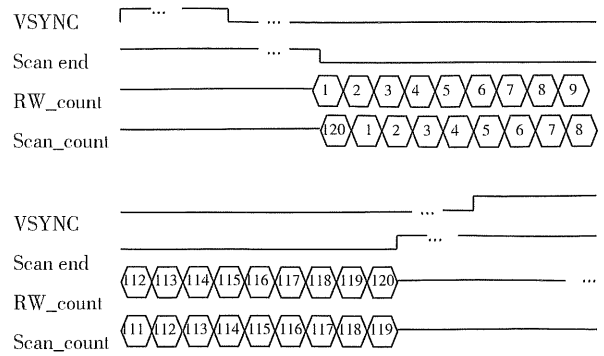


图 5 一场视频信号的传输和显示时序

Fig. 5 Vertical timing diagram of video signal

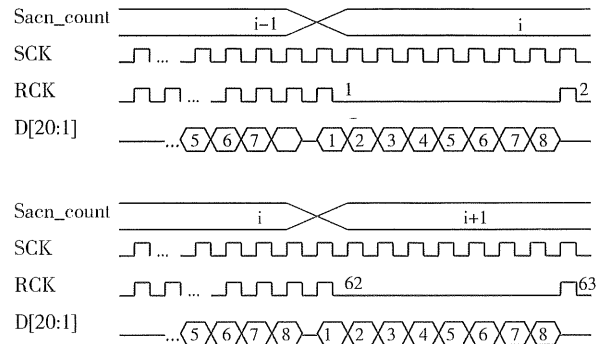


图 6 一行视频信号的传输与显示时序

Fig. 6 Horizontal timing diagram of video signal

4 视频信号处理电路系统验证

以作者所在研究组研制的 4.5 inch (11.43cm) 160 × 120 分辨率单色 FED 样屏为对象, 验证上述视频信号处理电路系统。

视频信号源为 DVD 输出的 CVBS, 经过视频解码电路转换为 640 × 480 分辨率的数字视频信号。上述信号通过 DSP 和 FPGA 电路模块处理, 对输入视频信号进行了 1/4 压缩, 即每隔 4 行选取一行, 每隔 4 个像素选取一个像素, 转换为 160 × 120 像素格式, 然后以 PWM (Pulse Width Modulation, 简称 PWM) 方式进行 64 级灰度调制。FPGA 灰度调制电路输出的低压信号通过光电耦合电路, 控制后端的高压驱动电路, 驱动 FED 显示屏。

图 7 为通过上述电路系统处理后的视频图像信号在 FED 样屏上显示的效果图。观察图像显示效果, 能够还原实时动态视频信号, 轮廓较为清晰, 无拖尾现象。但由于 FED 显示屏本身的性能尚未达到应用要求, 图像显示质量仍有待于提高。图像显示效果表明: 电路系统的硬件和软件设计方案正确, 系统能够满足视频信号处理的高速实时性要求。

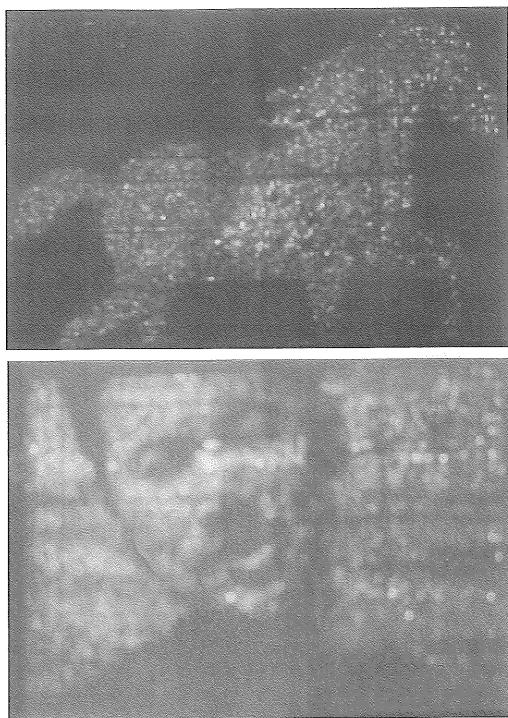


图 7 视频信号处理系统输出的
信号在 FED 样屏上显示的图像

Fig. 7 Video display of the video signal processing
system on FED

5 结 语

本文所述的基于 DSP 和 FPGA 器件为核心构建的场发射平板显示器视频信号处理电路系统采用模块化结构,具有很强的灵活性,对不同的算法结构有较强的适应能力,有利于系统的扩展、改进和维护。其中图像信号处理模块涉及复杂的算法结构,采用运算速度快、寻址方式灵活、通信机制丰富的 DSP 芯片实现。灰度调制模块涉及数量大的并行数据处理,对处理速度的要求很高,但运算结构相对比较简单,采用 FPGA 芯片进行硬件实现。电路系统把两种可编程器件的优势结合起来,不仅具有微处理器嵌入式系统的优点,还可实现并行算法结构,为实现系统的高速实时性提供了有力的支持。

参考文献:

- [1] KIM J W, HONG S S, CHOI J H, et al. Driving method to improve display quality as current control with external circuitry [C]. IVMC, 1998: 65 - 66.
- [2] HONG J S, KAE K. A novel driving system for high performance true color FED [J]. IEEE Transction on Consumer Electronics, 2001, 47(4): 802 - 809.
- [3] 邓少芝, 陈军, 许宁生. 冷阴极电子源在微波器件上的应用 [J]. 中山大学学报: 自然科学版, 1998(6): 3 - 4.
- [4] 陈平, 韩静, 黄明文. 半导体物理实验探索的模式与实践 [J]. 中山大学学报论丛, 2002(1): 2 - 3.
- [5] 江思敏, 刘畅. TMS320C6000DSP 应用开发教程 [M]. 北京: 机械工业出版社, 2005: 78 - 92.
- [6] TMS320C6713, TMS320C6713B Floating-Point Digital Signal Processors [R/OL]. Texa Instruments Incorporated, [2010 - 01 - 08]. <http://focus.ti.com/docs/prod/folders/print/tms320c6713b.html>.
- [7] TMS320C621x/TMS320C671x EDMA Architecture [R/OL]. Texa Instruments Incorporated, [2010 - 01 - 08]. <http://focus.ti.com/>.
- [8] TMS320C6000 EMIF to External FIFO Interface [R/OL]. Texa Instruments Incorporated, [2010 - 01 - 08]. <http://focus.ti.com/>.
- [9] Using Digital Clock Managers (DCMs) in spartan - 3 FPGAs [R/OL]. Xilinx Inc, [2010 - 01 - 08]. <http://www.xilinx.com/>.
- [10] Xilinx Inc. Spantan - 3 1.2V FPGA Family Description [R/OL]. Xilinx Inc, [2010 - 01 - 08]. <http://www.xilinx.com/>.
- [11] Single-Port Block Memory v5.0 [R/OL]. Xilinx Inc, [2010 - 01 - 08]. <http://www.xilinx.com/>.
- [12] Applications Using the TMS320C6000 Enhanced DMA [R/OL]. Texa Instruments Incorporated, [2010 - 01 - 08]. <http://focus.ti.com/lit/ug/spru234c/spru234c.pdf>.
- [13] Dual-Port Block Memory v5.0 [R/OL]. Xilinx Inc, [2010 - 01 - 08]. <http://www.xilinx.com/>.